

# CIRCUIT BOARD, MOUNTED CIRCUIT BOARD AND MOUNTING METHOD FOR ELECTRONIC COMPONENT

**Publication number:** JP2004014964 (A)

**Publication date:** 2004-01-15

**Inventor(s):** SAKAI TADAHIKO; IWABUCHI HIROSHI

**Applicant(s):** MATSUSHITA ELECTRIC IND CO LTD

**Classification:**

- international: H05K3/34; H05K3/34; (IPC1-7): H05K3/34

- European:

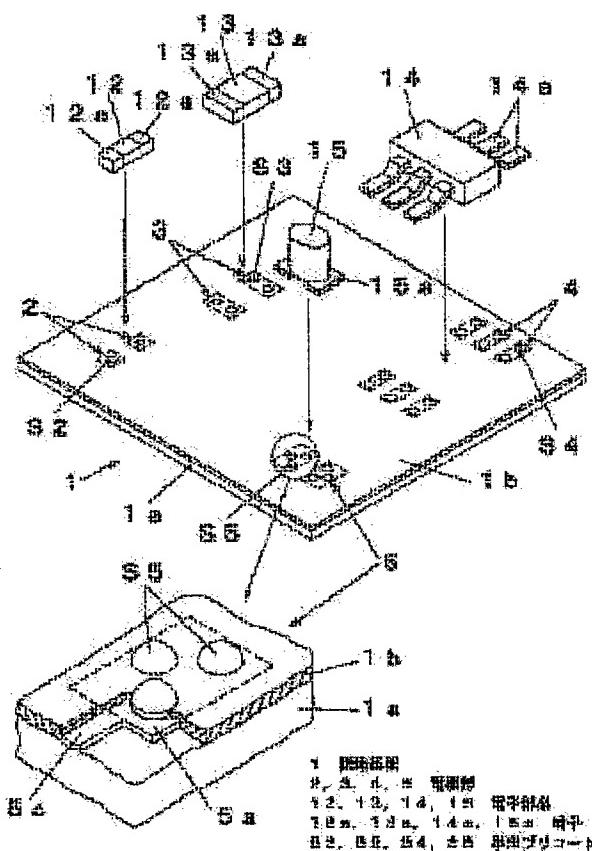
**Application number:** JP20020169534 20020611

**Priority number(s):** JP20020169534 20020611

## Abstract of JP 2004014964 (A)

**PROBLEM TO BE SOLVED:** To provide a circuit board, mounted circuit board and mounting method for an electronic component capable of preventing the malfunction of solder bonding. ; **SOLUTION:** On a circuit board 1 with components mounted on a surface thereof such as electronic components 12, 13, 14, 15, electrode portions 2, 3, 4, 5 formed for solder-bonding terminals 12a, 13a, 14a, 15a are constituted of assemblies forming a solder precoat S5 on a micro pattern with an electric conductive pad 5a partially exposed by opening a pattern hole in a resist layer 1b on the electric conductive pad 5a. The size of these micro patterns is set to the area (0.018-2.3 mm<sup>2</sup>) of a specified range capable of obtaining the stable height of solder in solder precoating formation. Thereby the malfunction of the solder bonding can be prevented by eliminating the dispersion of the solder in height caused by the difference of electrode size. ;

**COPYRIGHT:** (C)2004,JPO



(19)日本国特許庁(JP)

## (12)公開特許公報(A)

(11)特許出願公開番号

特開2004-14964

(P2004-14964A)

(43)公開日 平成16年1月15日(2004.1.15)

(51) Int.C1.<sup>7</sup>

H05K 3/34

F 1

H05K 3/34 502D

テーマコード(参考)

5E319

審査請求 未請求 請求項の数 11 O L (全 12 頁)

(21)出願番号

特願2002-169534 (P2002-169534)

(22)出願日

平成14年6月11日 (2002.6.11)

(71)出願人

000005821  
松下電器産業株式会社

大阪府門真市大字門真1006番地

(74)代理人

100097445

弁理士 岩橋 文雄

(74)代理人

100103355

弁理士 坂口 智康

(74)代理人

100109667

弁理士 内藤 浩樹

(72)発明者

境 忠彦

大阪府門真市大字門真1006番地 松下

電器産業株式会社内

(72)発明者

岩淵 浩

大阪府門真市大字門真1006番地 松下

電器産業株式会社内

最終頁に続く

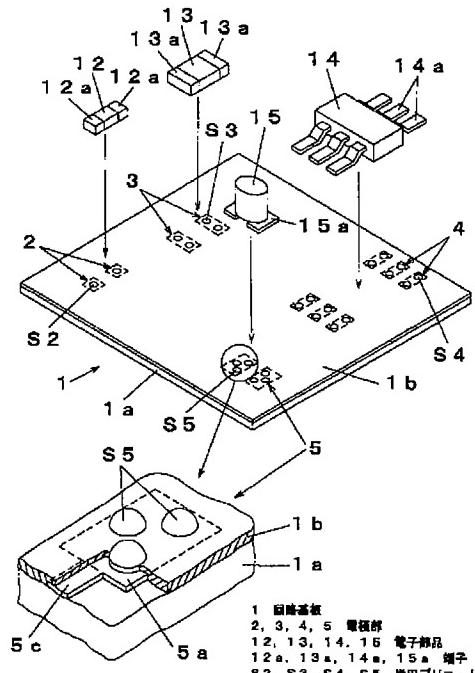
(54)【発明の名称】回路基板および実装済み回路基板ならびに電子部品実装方法

## (57)【要約】

【課題】半田接合の不具合を防止することができる回路基板および実装済み回路基板ならびに電子部品実装方法を提供することを目的とする。

【解決手段】電子部品12, 13, 14, 15など複数種類の表面実装部品が実装される回路基板1に端子12a, 13a, 14a, 15aを半田接合するために形成される電極部2, 8, 4, 5を、導電パッド5a上のレジスト層1bにパターン孔を開孔して導電パッド5aを部分的に露出させた微小パターン上に半田プリコート85を形成した集合体で構成し、これらの微小パターンの大きさを半田プリコート形成において安定した半田高さが得られる特定範囲の面積(0.018~2.3mm<sup>2</sup>)に設定する。これにより、電極サイズの違いに起因する半田高さのはらつきを排除して、半田接合の不具合を防止することができる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

少なくとも第1の表面実装部品と第2の表面実装部品が半田接合により実装される回路基板であって、第1の表面実装部品の1つの端子が半田接合により接続される第1の電極部と、第2の表面実装部品の1つの端子が半田接合により接続される第2の電極部とを備え、前記第1の電極部と第2の電極部を、 $0.018 \sim 2.8 \text{ mm}^2$  の面積を有する微小パターンの集合体で形成したことを特徴とする回路基板。

**【請求項 2】**

前記微小パターンの形状が点状であることを特徴とする請求項1記載の回路基板。

**【請求項 3】**

前記微小パターンに半田アリコートが形成されていることを特徴とする請求項1記載の回路基板。  
10

**【請求項 4】**

少なくとも第1の表面実装部品と第2の表面実装部品を半田接合により実装し、第1の表面実装部品の1つの端子が第1の電極部に半田接合により接続され、第2の表面実装部品の1つの端子が第2の電極部に半田接合により接続された実装済み回路基板であって、前記第1の電極部と第2の電極部を、 $0.018 \sim 2.8 \text{ mm}^2$  の面積を有する微小パターンの集合体で形成し、第1の電極部を構成する複数の微小パターン上の半田で第1の表面実装部品の1つの端子を接合し、第2の電極部を構成する複数の微小パターン上の半田で第2の表面実装部品の1つの端子を接合したことを特徴とする実装済み回路基板。  
20

**【請求項 5】**

前記第1の電極部または第2の電極部を構成する複数の微小パターンの間に、前記第1の表面実装部品または第2の表面実装部品の1つの端子を回路基板に接着する樹脂を備えていることを特徴とする請求項4記載の実装済み回路基板。

**【請求項 6】**

前記微小パターンの形状が点状であることを特徴とする請求項4記載の実装済み回路基板。  
。

**【請求項 7】**

少なくとも第1の表面実装部品と第2の表面実装部品を半田接合により実装する電子部品実装方法であって、第1の表面実装部品の1つの端子が半田接合により接続される第1の電極部と、第2の表面実装部品の1つの端子が半田接合により接続される第2の電極部とを備え、前記第1の電極部と第2の電極部を、 $0.018 \sim 2.8 \text{ mm}^2$  の面積を有する微小パターンの集合体で形成された回路基板を準備する工程と、前記微小パターン上に半田アリコートを形成する工程と、前記第1の電極部を構成する複数の半田アリコート上に第1の表面実装部品の端子を搭載し、前記第2の電極部を構成する複数の半田アリコート上に第2の表面実装部品の端子を搭載する工程と、回路基板を加熱して半田アリコートを溶融させることにより前記第1の電極に第1の表面実装部品の端子を半田接合し第2の電極に第2の表面実装部品の端子を半田接合する工程とを含むことを特徴とする電子部品実装方法。  
30

**【請求項 8】**

前記微小パターンの形状が点状であることを特徴とする請求項8記載の電子部品実装方法。  
。

**【請求項 9】**

少なくとも第1の表面実装部品と第2の表面実装部品を半田接合により実装する電子部品実装方法であって、第1の表面実装部品の1つの端子が半田接合により接続される第1の電極部と、第2の表面実装部品の1つの端子が半田接合により接続される第2の電極部とを備え、前記第1の電極部と第2の電極部を、 $0.018 \sim 2.8 \text{ mm}^2$  の面積を有する微小パターンの集合体で形成された回路基板を準備する工程と、前記微小パターン上に半田アリコートを形成する工程と、前記半田アリコートを覆うように熱硬化性の樹脂を塗布する工程と、前記第1の電極部を構成する複数の半田アリコート上に第1の表面実装部品  
50

の端子を搭載し、前記第2の電極部を構成する複数の半田アリコート上に第2の表面実装部品の端子を搭載する工程と、回路基板を加熱して半田アリコートを溶融させることにより前記第1の電極部に第1の表面実装部品の端子を半田接合し第2の電極部に第2の表面実装部品の端子を半田接合するとともに半田溶融時の熱を利用して前記樹脂を硬化させることを含むことを特徴とする電子部品実装方法。

【請求項10】

前記樹脂が、半田アリコートの表面の酸化膜を除去する酸化膜除去機能を備え、前記半田接合時の熱によって前記酸化膜除去機能を発揮することを特徴とする請求項9記載の電子部品実装方法。 10

【請求項11】

前記樹脂は、溶融半田による表面実装部品のセルフアライメントを妨害することなく硬化することを特徴とする請求項9記載の電子部品実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子部品が実装される回路基板および電子部品実装後の実装済み回路基板ならびに電子部品実装方法に関するものである。

【0002】

【従来の技術】

電子部品を半田接合により基板に実装する際の半田の供給方法として半田アリコートが広く用いられている。この方法では、電子部品を基板に搭載するのに先立って基板に設けられた接続用の電極に予め半田メッキや半田レペラなどの方法で半田層が形成される。これにより、実装工程においては、別途電子部品や基板に半田を供給する必要がなく、接合部にフラックスを供給するのみで部品搭載を行うことができ、工程が簡略化されるという利点がある。 20

【0003】

【発明が解決しようとする課題】

一般に1枚の回路基板には、サイズや種類の異なる多数の電子部品が実装されるため、同一の回路基板にはそれぞれの電子部品の接続用端子に応じた形状・大きさの接続用の電極が形成される。一般に半田アリコートの形成においては、対象となる電極のサイズが異なると電極表面に形成される半田アリコートの高さが異なる。そして半田アリコートの高さがばらついたまま電子部品を搭載し、この基板がリフローに送られると、各種の不具合を生じる。例えば、半田アリコートの高さが低い電極では、基板の反り変形や電子部品のリードの变形などによって半田が電子部品の端子と接触しない場合が生じ、半田接合不良の原因となる。 30

【0004】

そこで本発明は、半田接合の不具合を防止することができる回路基板および実装済み回路基板ならびに電子部品実装方法を提供することを目的とする。

【0005】

【課題を解決するための手段】

請求項1記載の回路基板は、少なくとも第1の表面実装部品と第2の表面実装部品が半田接合により実装される回路基板であって、第1の表面実装部品の1つの端子が半田接合により接続される第1の電極部と、第2の表面実装部品の1つの端子が半田接合により接続される第2の電極部とを備え、前記第1の電極部と第2の電極部を、0.018~2.8mm<sup>2</sup>の面積を有する微小パターンの集合体で形成した。 40

【0006】

請求項2記載の回路基板は、請求項1記載の回路基板であって、前記微小パターンの形状が点状である。

【0007】

請求項3記載の回路基板は、請求項1記載の回路基板であって、前記微小パターンに半田

50

アリコートが形成されている。

**【0008】**

請求項4記載の実装済み回路基板は、少なくとも第1の表面実装部品と第2の表面実装部品を半田接合により実装し、第1の表面実装部品の1つの端子が第1の電極部に半田接合により接続され、第2の表面実装部品の1つの端子が第2の電極部に半田接合により接続された実装済み回路基板であって、前記第1の電極部と第2の電極部を、0.018~2.8mm<sup>2</sup>の面積を有する微小パターンの集合体で形成し、第1の電極部を構成する複数の微小パターン上の半田で第1の表面実装部品の1つの端子を接合し、第2の電極部を構成する複数の微小パターン上の半田で第2の表面実装部品の1つの端子を接合した。

**【0009】**

請求項5記載の実装済み回路基板は、請求項4記載の実装済み回路基板であって、前記第1の電極部または第2の電極部を構成する複数の微小パターンの間に、前記第1の表面実装部品または第2の表面実装部品の1つの端子を回路基板に接着する樹脂を備えている。

10

**【0010】**

請求項6記載の実装済み回路基板は、請求項4記載の実装済み回路基板であって、前記微小パターンの形状が点状である。

**【0011】**

請求項7記載の電子部品実装方法は、少なくとも第1の表面実装部品と第2の表面実装部品を半田接合により実装する電子部品実装方法であって、第1の表面実装部品の1つの端子が半田接合により接続される第1の電極部と、第2の表面実装部品の1つの端子が半田接合により接続される第2の電極部とを備え、前記第1の電極部と第2の電極部を、0.018~2.8mm<sup>2</sup>の面積を有する微小パターンの集合体で形成された回路基板を準備する工程と、前記微小パターン上に半田アリコートを形成する工程と、前記第1の電極部を構成する複数の半田アリコート上に第1の表面実装部品の端子を搭載し、前記第2の電極部を構成する複数の半田アリコート上に第2の表面実装部品の端子を搭載する工程と、回路基板を加熱して半田アリコートを溶融させることにより前記第1の電極に第1の表面実装部品の端子を半田接合し第2の電極に第2の表面実装部品の端子を半田接合する工程とを含む。

20

**【0012】**

請求項8記載の電子部品実装方法は、請求項7記載の電子部品実装方法であって、前記微小パターンの形状が点状である。

30

**【0013】**

請求項9記載の電子部品実装方法は、少なくとも第1の表面実装部品と第2の表面実装部品を半田接合により実装する電子部品実装方法であって、第1の表面実装部品の1つの端子が半田接合により接続される第1の電極部と、第2の表面実装部品の1つの端子が半田接合により接続される第2の電極部とを備え、前記第1の電極部と第2の電極部を、0.018~2.8mm<sup>2</sup>の面積を有する微小パターンの集合体で形成された回路基板を準備する工程と、前記微小パターン上に半田アリコートを形成する工程と、前記半田アリコートを覆うように熱硬化性の樹脂を塗布する工程と、前記第1の電極部を構成する複数の半田アリコート上に第1の表面実装部品の端子を搭載し、前記第2の電極部を構成する複数の半田アリコート上に第2の表面実装部品の端子を搭載する工程と、回路基板を加熱して半田アリコートを溶融させることにより前記第1の電極部に第1の表面実装部品の端子を半田接合し第2の電極部に第2の表面実装部品の端子を半田接合するとともに半田溶融時の熱を利用して前記樹脂を硬化させる工程とを含む。

40

**【0014】**

請求項10記載の電子部品実装方法は、請求項9記載の電子部品実装方法であって、前記樹脂が、半田アリコートの表面の酸化膜を除去する酸化膜除去機能を備え、前記半田接合時の熱によって前記酸化膜除去機能を発揮する。

**【0015】**

請求項11記載の電子部品実装方法は、請求項9記載の電子部品実装方法であって、前記

50

樹脂は、溶融半田による表面実装部品のセルフアライメントを妨害することなく硬化する。

### 【0016】

本発明によれば、複数種類の表面実装部品が実装される回路基板の電極を、半田アリコート形成において安定した半田高さが得られる特定範囲の面積を有する微小パターンの集合体で形成し、これらの微小パターンの半田で表面実装部品の端子を半田接合することにより、電極サイズの違いに起因する半田高さのはらつきを排除して、半田接合の不具合を防止することができます。

### 【0017】

#### 【発明の実施の形態】

10

次に本発明の実施の形態を図面を参照して説明する。図1は本発明の一実施の形態の回路基板の斜視図、図2は本発明の一実施の形態の回路基板の電極部の斜視図、図3は本発明の一実施の形態の回路基板の電極部のパターン配置説明図、図4は本発明の一実施の形態における半田高さとパターン面積との関係を示すグラフ、図5、図6は、本発明の一実施の形態の電子部品実装方法の工程説明図、図7は本発明の一実施の形態の実装済み回路基板の斜視図である。

### 【0018】

まず、図1、図2、図3を参照して、回路基板およびこの回路基板に実装される電子部品について説明する。図1において、回路基板1の上面には、異なる複数種類の表面実装部品を実装するための電極部2、3、4、5が設けられている。電極部2、3、4、5には、それぞれ表面実装部品である電子部品12、13、14、15の1つの端子12a、13a、14a、15aがそれぞれ半田接合される。

20

### 【0019】

電子部品12、13はともに矩形のチップ型部品であり、それぞれサイズが異なる大小2つの端子12a、13aが設けられている。電子部品14はSOP型IC部品であり、側方に延出したリード型の端子14aを備えている。また電子部品15は筒型コンデンサ部品であり、底面に平板状の端子15aが設けられている。本実施の形態では、電子部品12、13、14、15のいずれかがそれぞれ第1の表面実装部品、第2の表面実装部品に該当する。すなわち回路基板1には、少なくとも第1の表面実装部品と第2の表面実装部品が半田接合により実装される。そしてこれらの第1の表面実装部品、第2の表面実装部品の端子が半田接合される電極部が、第1の電極部、第2の電極部に該当する。

30

### 【0020】

次に、電子部品が実装される電極部の構成について説明する。電極部2～5はいずれも回路基板の樹脂基材1aの上面に配線パターンと導通して配置された導電パッド2a～5a上に、導電パッド上面が部分的に露呈された微小径のパターン2b～5bを形成した構成となっている。回路基板1への電子部品の実装に際しては、これらのパターンに半田を供給することにより、電子部品の端子と導電パッドとの半田接合が行われる。本実施の形態では、これらのパターン上に予め半田アリコートS2～S5を形成して半田を供給するようしている。

40

### 【0021】

これらの導電パッド2a～5aの大きさは、接続対象となる端子の大きさに対応しており、さらに導電パッド2a～5aの大きさに対応して、異なる大きさ・個数のパターンの組み合わせが選択される。なお、図1、図2においては最もサイズが大きい電極部5のみ拡大して図示しているが、他の電極部も同様の構成を有している。

### 【0022】

図2(a)は、半田アリコートが形成される前の電極部5を示している。樹脂基材1a上には、配線パターン5cと導通した導電パッド5aが、接続対象となる電子部品15の端子15aと略等しい平面形状で形成されている。電極部5はレジスト層1bで覆われてあり、導電パッド5a上のレジスト層1bに微小径のパターン孔を形成することにより、導電パッド5aの上面が露呈したパターン5bが形成される。そして図2(b)に示すよう

50

に、パターン5b上には、半田アリコートS5が形成される。

#### 【0023】

ここで図3を参照して、各電極部に設けられるパターンのサイズ、個数の組み合わせ例について説明する。図3(a)、(b)、(c)、(d)は、それぞれ電極部2、3、4、5におけるパターンの組み合わせおよび各パターン上に形成される半田アリコートの高さを示している。図3(a)に示すように、電極部2の導電パッド2a上には孔径d2のパターン2bが1個だけ設けられている。このような電極部は、微小チップ部品(電子部品12)のように接続対象とする端子が円形や略正方形の形状で且つサイズが極めて小さい場合に適用される。そしてパターン2b上には、導電パッド2a上面からの半田高さがH2の半田アリコートS2が形成される。

10

#### 【0024】

図3(b)、(c)は、比較的大きいチップ部品(電子部品18)の端子や、SOP型IC(電子部品14)のリードなどのように接続対象の端子が細長い矩形形状である場合の電極部の例を示している。電極部3、4の導電パッド3a、4a上には、それぞれ孔径d3、d4のパターン3b、4bが長手方向に2個づつ設けられている。そしてパターン3b、4b上には、導電パッド3a、4a上面からの半田高さがH8、H4の半田アリコートS8、S4が形成される。

20

#### 【0025】

さらに図3(d)は、筒型コンデンサ部品(電子部品15)の端子のように、長手方向のみならず幅方向の寸法も大きい場合の電極部を示している。電極部5の導電パッド5a上には孔径d5のパターン5bが8個設けられており、パターン5b上には、導電パッド5a上面からの半田高さがH5の半田アリコートS5が形成される。

20

#### 【0026】

すなわち回路基板1に形成される電極部は、微小パターンを接続対象の端子の形状・サイズに応じて組み合せた集合体で構成したものとなっている。なお、上記例では微小パターンとして微小径の円形パターンを用いた例を示しているが、微小パターンとしては円形に限定されず、細長いスリット形状を除外した矩形や多角形など、点状と見なせる形状であればよい。

#### 【0027】

次に、図4を参照して、上述のような各電極部に形成されるパターンに形成される半田アリコートの半田高さと、パターン面積との関係について説明する。図4は、図1に示す回路基板1と同様に導電パッド上に異なるパターン面積(円形)で開孔されたパターン上に半田アリコートを実際に形成し、高さを計測した結果をパターン面積に対する半田高さの関係をグラフ化したものであり、横軸のパターン面積は対数目盛となっている。

30

#### 【0028】

図4のグラフから判るように、パターン面積がごく小さい範囲では、半田がパターン内に進入しにくく導電パッドへの付着量が少ないことから半田高さは小さい。またパターン面積が大きい場合には半田は導電パッド表面上で良好に濡れ拡がることから半田高さとしては低くなる。これに対し、パターン面積が特定範囲にある場合、すなわち、より高い半田高さを得るために適切なパターン面積の範囲にある場合には、安定した半田高さが得られている。

40

#### 【0029】

具体的には、パターン面積が、0.018~2.8mm<sup>2</sup>の範囲R1にある場合には、半田高さは5~6mm( $\times 10^{-2}$ )の範囲にあり、実用上差し支えない程度に半田高さを安定させることができる。さらに、パターン面積が、0.07~0.64mm<sup>2</sup>の範囲R2にある場合には、半田高さは5mm( $\times 10^{-2}$ )で一定しており、より安定した半田高さが得られることが判る。

#### 【0030】

したがって、本実施の形態に示す回路基板1においては、少なくとも第1の表面実装部品と第2の表面実装部品を含む複数種類の表面実装部品の端子を接続するために設けられた

50

複数の電極部（第1の表面実装部品の1つの端子が半田接合により接続される第1の電極部と、第2の表面実装部品の1つの端子が半田接合により接続される第2の電極部とを含む）を、 $0.018 \sim 2.8 \text{ mm}^2$  の面積を有する微小パターンの集合体で形成したものとなっている。

#### 【0081】

次に、図5、図6を参照して、回路基板1に複数の表面実装部品を半田接合により実装して実装済み回路基板を製造するための電子部品実装方法について説明する。ここでは、回路基板1に形成された電極部のうち、電極部4のみを図示して説明しているが、他の電極部においても同様のプロセスが実行される。

#### 【0082】

まず、図1に示す回路基板1を準備する。準備された回路基板1に設けられた複数の電極部には、図5(a)に示すように、導電パッド4a上のレジスト層1bにパターン4bが開孔された電極部4が含まれている。次に図5(b)に示すように、パターン4b上には半田アリコート84が形成される。半田アリコート形成方法としては、半田メッキや半田レペラなどの方法が用いられる。

#### 【0083】

この後、図5(c)に示すように、半田アリコート84を覆うように、エポキシ樹脂などの熱硬化性の樹脂6を塗布する。ここで樹脂6は硬化タイミングが半田の溶融タイミングよりも後になるものが用いられ、後述するようにリフロー過程において溶融半田によるセルフアライメント機能を阻害しないものを使用する。

10

20

#### 【0084】

また樹脂6には有機酸などの活性成分が添加されており、半田アリコート84の表面の酸化膜を除去する酸化膜除去機能を備えている。これにより、半田接合に際してフラックスを別途供給することなく良好な半田接合性が確保できるようになっている。

#### 【0085】

次いで回路基板1には複数の電子部品が搭載される。これらの電子部品には、電子部品14が含まれており、図5(d)に示すように、電極部4を構成する複数の半田アリコート84上には電子部品14の端子14aが搭載される。これにより、図6(a)に示すように、端子14aは樹脂6を介して半田アリコート84上に着地し、樹脂6の粘着力によって保持される。この搭載動作とともに、他の電極部には、それぞれ接続対象の電子部品の端子が搭載される。

30

#### 【0086】

次に、電子部品が搭載された後の回路基板1はリフロー工程に送られ、ここで回路基板1が加熱される。そしてこの加熱によって、図6(b)に示すようにまず半田アリコート84が溶融して溶融半田84\*となり、端子14aの接合面に濡れ拡がる。このとき、樹脂6が同時に加熱されることにより、樹脂6中の活性成分が加熱により活性化して酸化膜除去機能を発揮するようになる。これにより、半田アリコート84の表面に存在する酸化膜が除去され、端子14aとの良好な濡れ性が確保される。

#### 【0087】

このリフロー過程において、半田アリコート84が溶融したタイミングにおいては樹脂6はまだ熱硬化が進行しておらず、加熱によって粘度が低下して流動性が増した状態にある。このため、樹脂6が溶融半田84\*のセルフアライメント機能を阻害することなく、端子14aは溶融半田84\*の表面張力によって導電パッド4aに吸い寄せられるようにして位置合わせされる。またこのとき、樹脂6の流動性が増大することにより、端子14aの屈曲部近傍に存在する樹脂は端子14aの下面に沿って這い上がり、レジスト層1bと端子14aの下面との間で樹脂フィレット部6aを形成する。

40

#### 【0088】

そしてこの後さらに加熱を継続して、樹脂6が昇温することにより、樹脂6の熱硬化反応が進行する。そして樹脂6が完全硬化することにより、図6(c)に示すように端子14aの下面には硬化した樹脂6\*の接着樹脂層が形成される。この接着樹脂層はパターン4

50

bの間にも存在しており、これにより、端子14aは半田アリコートの溶融半田S4\*が冷却固化することによる半田接合部と、端子14aの下面側の硬化した樹脂6\*による接着樹脂層とで強固に回路基板1に接着される。したがって、微小なパターンを介して端子を半田接合する場合にあっても、充分な接着強度を有した実装構造が実現される。

#### 【0039】

これにより、図7に示す実装済み回路基板1Aが完成する。この実装済み回路基板1Aは、上述の実装工程で説明したように、少なくとも第1の表面実装部品と第2の表面実装部品を含む複数の電子部品12, 13, 14, 15を半田接合により実装し、これらの電子部品のうちの第1の表面実装部品の1つの端子が第1の電極部に半田接合により接続され、第2の表面実装部品の1つの端子が第2の電極部に半田接合により接続されたものとなっている。10

#### 【0040】

そしてこれら第1の電極部と第2の電極部は、0.018~2.8mm<sup>2</sup>の面積を有する微小パターンの集合体で形成され、第1の電極部を構成する複数の微小パターン上の半田で第1の表面実装部品の1つの端子を接合し、第2の電極部を構成する複数の微小パターン上の半田で第2の表面実装部品の1つの端子を接合した形態となっている。

#### 【0041】

上記説明したように、本発明は回路基板の電極部を半田アリコート形成において安定した半田高さが得られる特定範囲の面積を有する微小パターンの集合体で形成するようにしたものである。これにより、接続用の端子の形状・サイズが異なる複数種類の表面実装部品が実装される回路基板のランド設計を容易に行うことができるとともに、製造工程においては、回路基板全体を対象とした1回の半田アリコート形成工程によって、必要半田量を各電極部に一括して供給することができます。20

#### 【0042】

また電極部に形成される半田アリコートは微小パターン上に形成されたものであることから全表面積が小さくなってしまい、大気露呈による表面酸化の影響を受けやすい鉛フリー半田を採用する場合において、より望ましい半田供給形態となっている。さらに、電極上面にクリーム半田を印刷することによる半田供給においては、電極が小さくなるにつれてクリーム半田のダレが生じやすく、微小サイズ部品への対応が困難であるが、本発明では微小パターンを介して半田アリコートを形成する方法であることから、微細電極であっても安定して半田の供給を行うことができるという利点がある。30

#### 【0043】

なお上記実施の形態では、半田アリコート上に樹脂6を塗布する例を示しているが、樹脂6を用いずに強粘着性のフラックスを塗布するようにしてもよい。これにより、良好な半田接合性を確保することができるとともに、搭載後リフロー工程に至るまで電子部品をフラックスの粘着性によって保持することができる。

#### 【0044】

##### 【発明の効果】

本発明によれば、複数種類の表面実装部品が実装される回路基板の電極部を、半田アリコート形成において安定した半田高さが得られる特定範囲の面積を有する微小パターンの集合体で形成し、これらの微小パターンの半田で表面実装部品の端子を半田接合するようにしたので、電極サイズの違いに起因する半田高さのはらつきを排除して、半田接合の不具合を防止することができる。40

##### 【図面の簡単な説明】

【図1】本発明の一実施の形態の回路基板の斜視図

【図2】本発明の一実施の形態の回路基板の電極部の斜視図

【図3】本発明の一実施の形態の回路基板の電極部のパターン配置説明図

【図4】本発明の一実施の形態における半田高さとパターン面積との関係を示すグラフ

【図5】本発明の一実施の形態の電子部品実装方法の工程説明図

【図6】本発明の一実施の形態の電子部品実装方法の工程説明図

10

20

30

40

50

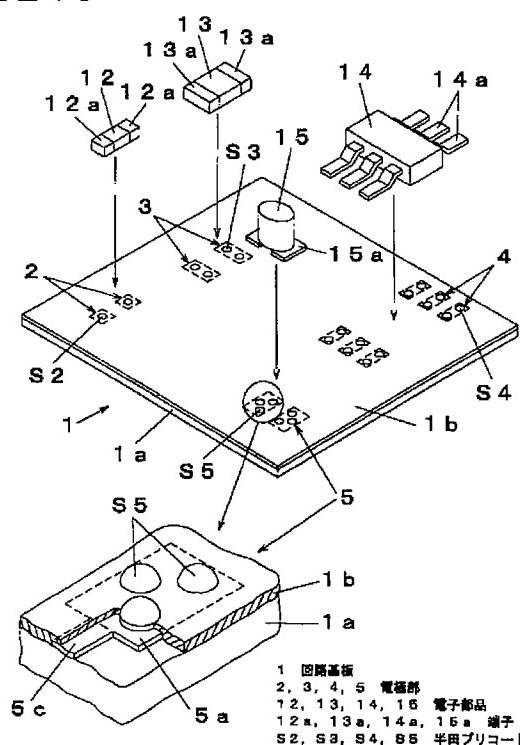
## 【図7】本発明の一実施の形態の実装済み回路基板の斜視図

## 【符号の説明】

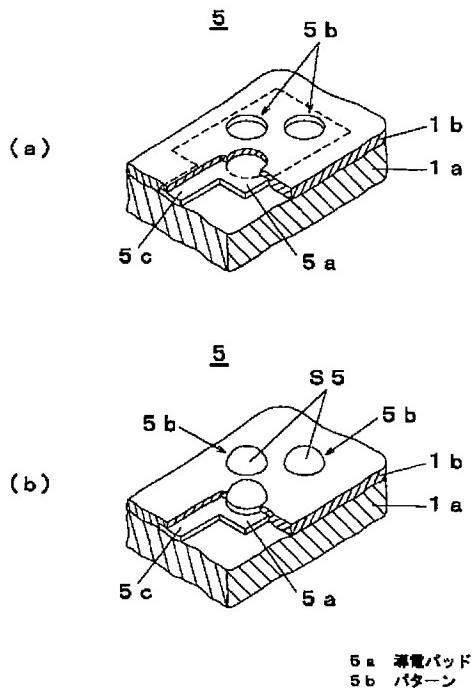
- 1 回路基板  
 1A 実装済み回路基板  
 2, 8, 4, 5 電極部  
 2a, 3a, 4a, 5a 導電パッド  
 2b, 3b, 4b, 5b パターン  
 6 樹脂  
 12, 13, 14, 15 電子部品  
 12a, 13a, 14a, 15a 端子  
 82, 83, 84, 85 半田プリコート

10

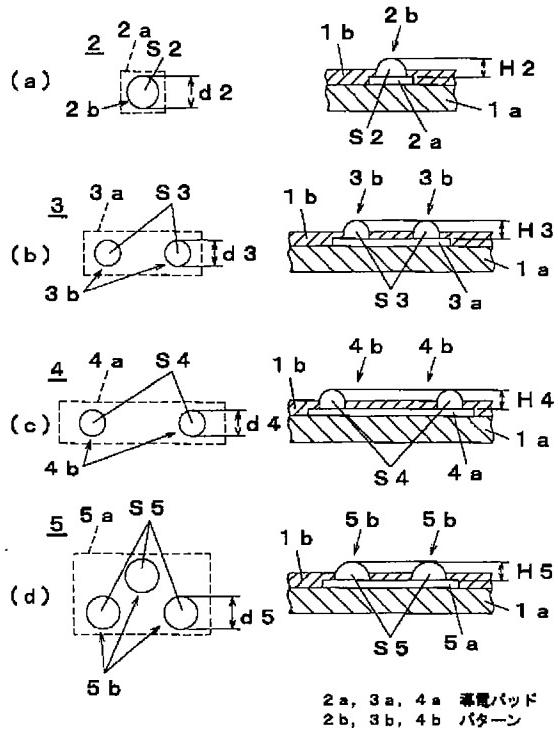
【図1】



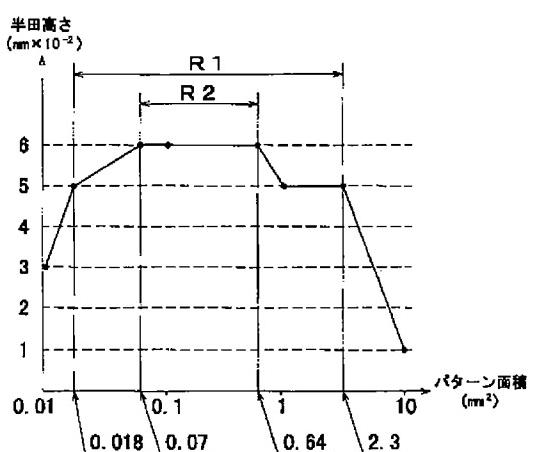
【図2】



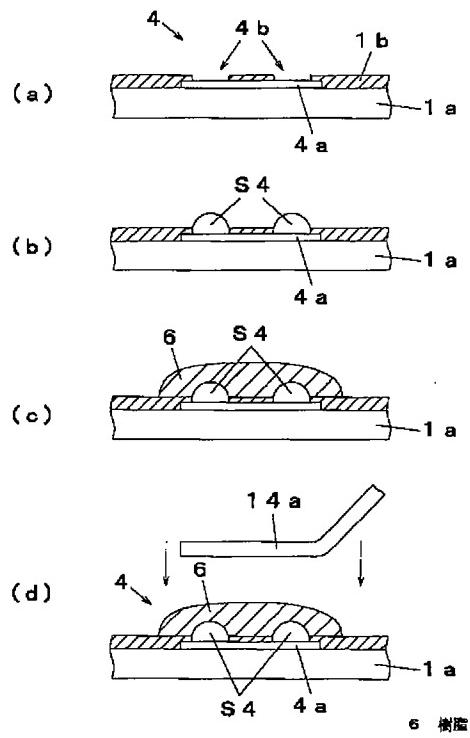
【図 3】



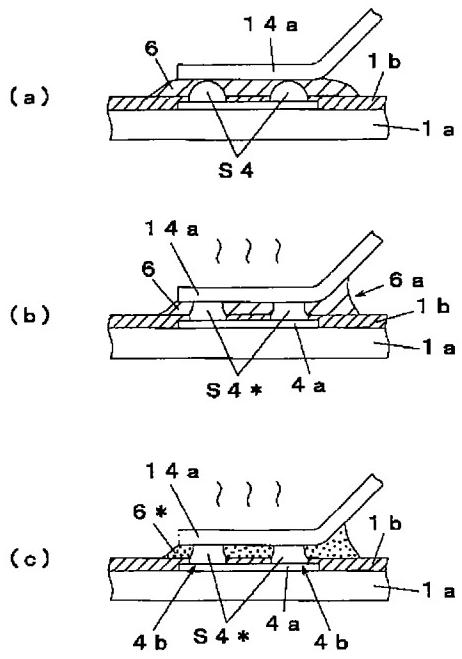
【図 4】



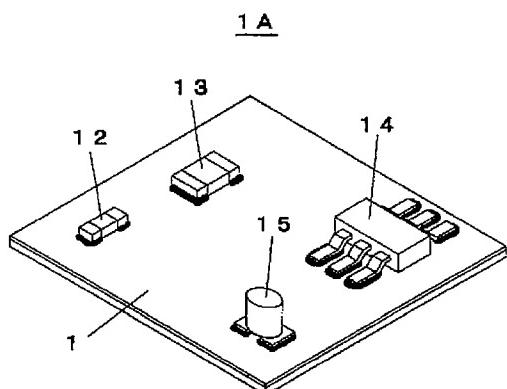
【図 5】



【図 6】



【図 7】



1A 実装済み回路基板

---

フロントページの続き

F ターム(参考) 5E319 AA03 AA07 AC01 AC11 CC33 GG20